

NOT AVAILABLE COPY

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

## ⑪ 公開特許公報 (A)

昭59-172180

⑫ Int. Cl.<sup>3</sup>  
 G 11 B 19/24  
 H 02 P 5/00  
 // G 05 D 13/62

識別記号

厅内整理番号  
 8322-5D  
 7315-5H  
 7740-5H

⑬ 公開 昭和59年(1984)9月28日  
 発明の数 1  
 審査請求 未請求

(全 7 頁)

⑭ 記録ディスクの記録トラック線速度検出装置

オニア株式会社所沢工場内

⑮ 特 願 昭58-46919

⑯ 出 願 人 バイオニア株式会社

⑰ 出 願 昭58(1983)3月19日

東京都目黒区目黒1丁目4番1号

⑱ 発 明 者 横川文彦

⑲ 代 理 人 弁理士 藤村元彦 外1名

所沢市花園4丁目2610番地バイ

## 明 紹 告

## 1. 発明の名称

記録ディスクの記録トラック線速度検出装置

## 2. 特許請求の範囲

最大間隔の反転が2回連続する同期信号と復調用クロック信号とを含有するようなデジタル記録方式で記録された記録ディスクの記録トラック線速度検出装置であって、前記復調用クロック信号のN倍(Nは整数値)の周波数を有する基準クロック信号を発生する手段と、読み取られた信号の立ち上り及び立ち下りエッジを検出して前記基準クロック信号に同期したエッジパルスを発生する手段と、前記エッジパルスを入力とし前記基準クロック信号によりシフト動作をなすシフトレジスタとを有し、前記シフトレジスタの段数を、前記記録トラック線速度が正規のときの前記同期信号の発生期間内に生ずべき前記基準クロック信号の数より大なる数の段数に設定しておき、このシフトレジスタの各段の出力内容に応じて記録トラック線

速度を検出するようにしてなる装置。

## 3. 発明の詳細な説明

本発明は記録ディスクの記録トラック線速度検出装置に関し、特にディジタル情報がCLV(定線速度)記録方式により記録された記録ディスクの記録トラック線速度検出装置に関する。

近年オーディオ信号等のアナログ情報をPCM(パルス符号変調)化して1又は0のデジタル信号形式で記録媒体に記録する技術が研究され実用化されている。この場合、デジタル信号の復調を容易にするためにいわゆるセルフクロッキング可能な変調方式により、またより高密度記録をなすべく回転角速度一定方式ではなく、すべての記録トラックの線速度を一定とした定線速度(CLV)方式にて記録されることが多い。かかるCLVディスクの再生に当っては、定線速度となるようディスクの回転を制御する必要があり、そのため再生信号から所定周波数の再生クロック情報を抽出してこのクロック信号を元にして一定間隔をもって挿入記録されたフレームシンク信号

を検出し、このフレームシンク信号に基づいてスピードルサーボを行っている。

この変調方式の一例としてEFM (Eight to Fourteen Modulation) 方式がある。この方式では、1フレームは例えば588ビットからなり、データ信号はEFM方式で8ビット毎に所定変換表(図示せず)に従って14ビットに変換され3ビットの調整ビットが付加されて17ビットを一単位とし、1のときは論理Hレベルから論理Lレベルへの反転又はその逆の反転があり、0のときは反転がないように、すなわちNRZIの形で記録される。

各フレームの冒頭には、第1ビットが1、第2ビット乃至第11ビットが0、第12ビットが1、第13ビットが乃至第22ビットが0、第23ビットが1となるようにフレームシンク信号が記録されている。このフレームシンク信号を基準として588ビットの所定位置に制御信号が配される。そして全体を通じて、1と1との間には2個以上10個以下の0が配置されるように信号処理がなされる。すなわち、信号レベルの最小反転間隔は3T(Tは

- 8 -

必要があるために、集積回路化に著しい不利を及ぼすと共に、時定数の経時変化や温度変化等により信頼性が劣化する欠点がある。

従って、本発明はコンデンサを用いることなく集積化が容易でかつ信頼性の高い記録ディスクの記録トラック駆動速度検出装置を提供することを目的としている。

本発明による記録トラック駆動速度検出装置は、復調用クロック信号のN倍(Nは整数)の周波数を有する基準クロック信号を発生する手段と、読み取られた信号の立上り及び立下りエッジを検出して基準クロック信号に同期したエッジパルスを発生する手段と、エッジパルスを入力とし基準クロック信号によりシフト動作をなすシフトレジスタとを有し、このシフトレジスタの段数を、記録トラック駆動速度が正規のときの同期信号(フレームシンク)の発生期間内に生すべき基準クロック信号の数より大なる数の段数に設定しておく、このシフトレジスタの各段の出力内容に応じて記録トラック駆動速度を検出するようにしたことを特徴と

特開昭59-172180(2)

ピットセルの長さ)、最大反転間隔は11Tとされる。そして、フレームシンク信号以外の部分では最大反転間隔が2回以上連続しないようになっており、フレームシンク信号パターンはこの最大反転間隔が2回連続するようになされている。

かかるディジタル信号を有する記録ディスクの回転制御をなすには、記録トラックの駆動速度を検出する必要があるが、そのためには例えばフレームシンク信号である最大反転間隔を検出してこの間隔に対応した速度検出信号を発生する方法がある。更に具体的に述べれば、再生EFM信号の立上り及び立下りエッジに同期したエッジパルスを発生させ、このエッジパルスにより略一定傾斜の傾斜状信号をトリガせしめて次のエッジパルスによってこの傾斜状信号をリセットさせるようにし、この傾斜状信号のピークレベルをピーカホールド処理してこのホールド出力を速度検出信号とするものである。

かかる方法では、傾斜状信号発生及びサンプルホールド等の信号処理回路にコンデンサを用いる

- 6 -

する。

以下に、本発明を図面を用いて説明する。

第1図、第3図及び第4図は本発明の実施例回路図である。先ず第1図を参照するに、図示せぬピックアップにより読み取られたEFM信号(B)は、PLI(フェイズロックループ)回路1に入力されて当該信号(B)中に含まれている復調用のセルフクロック(マスタクロック)が抽出されて図示せぬ復調部へ送出される。当該EFM信号(B)はDFF(ディレイドフリップフロップ)2のデータ入力となり、このDFF2のQ出力(C)はDFF3のデータ入力となっている。DFF2及び3の各Q出力(C)及び(D)はエクスクルーシブオアゲート4の2入力となっている。

一方、クロック信号発生器5が設けられており、復調用のマスタクロックの周波数 $f_1$ ( $1/f_1$ )の2倍の周波数 $2f_1$ を有する基準クロック信号(H)が発生される。この基準クロック信号(H)よりDFF2及び3が動作すると共に、47段からなるシフトレジスタ6のシフト動作がこのクロック信号(H)により

- 5 -

-420-

- 6 -

## BEST AVAILABLE COPY

特開昭59-172180(3)

より制御されるようになっている。このシフトレジスタ6はゲート4の出力(E)を入力としており、このシフトレジスタ6によりフレームシンクパターン長を検知するのである。

ここで、正規速度時のシンクパターン長は $11T + 11T = 22T$ であり、シフトレジスタ6のシフトクロックパルス(A)の周期は本例では $T/2$ であるから、正規シンクパターン長22Tをこのシフトレジスタ6により検出するには最低44個の段数を必要とする(正規シンクパターン発生期間22T内に生ずべきシフトクロックパルスの数に相当する)。正規速度よりも実際の速度が遅くなつて22Tが23.5Tまで伸長した場合をも検出可能とすると、44段の他に更に3段の追加を必要とする。そこで、シフトレジスタ6の段数として上述の如く47段に設定しているのである。尚、シフトレジスタ6の中央(Xで示す)を境にして、右側23段を左端から順次1～23とし、また左側24段を右端から順次-1～-24として示している。

第2図は第1図の回路の動作タイミングチャート

であり、図(A)～(E)は第1図の回路の各部信号(A)～(E)の信号波形を夫々対応して示し、図(F)はシフトレジスタ6の各段のQ、Q出力状態を夫々示している。図(A)に示す基準となるシフトクロックパルスに対し再生BFM信号の正規速度時のシンクパターンが図(B)の如くであるとする。DFF2及び3の各Q出力は図(C)及び(D)の様になって夫々シフトクロックパルスに同期したシンクパターン波形となり、DFF3のQ出力(D)はDFF2のQ出力(C)に對し1シフトクロックパルス( $T/2$ )だけ遅延したものとなっている。

両Q出力を2入力とするエクスクルーシブオーゲート4の出力は図(E)の如くなり、読み取られたフレームシンクの立上り及び立下りエッジを検出してシフトクロックパルスに同期した $T/2$ の幅を有するエッジパルス(E)が得られるのである。その結果、このシンクパターンをすべてシフトレジスタ6へ取り込んだ時の各段の内容は図(F)に示す様になっている。例えば、各段のQ出力をみれば“1”となっている段は「22」、「-1」及び

- 8 -

「-23」であり、他の段のQ出力はすべて“0”となっている。

検速度が遅くなつてシンクパターンが21Tに圧縮されると、シフトレジスタ6の各段の内容は変化して、段「21」、「-1」及び「-22」のQ出力のみが“1”となり他はすべて“0”となる。次に、検速度が遅くなつてシンクパターンが23Tに伸長されると、シフトレジスタの段「23」、「-1」及び「-24」のQ出力のみが“1”となり他はすべて“0”となる。

この様に、検速度に応じてシフトレジスタ6の内容が変化することになるから、このレジスタの内容を判別することにより検速度検出が可能となることが判る。第3図はかかる事実に鑑みて、シフトレジスタ6の内容を判別する論理回路の1例を示す図である。

先ず、第3図(A)はシンクパターン長が21Tに圧縮された場合を検出する回路であり、アンドゲート7には、シフトレジスタ6の段「1」～「20」の各Q出力と、段「21」のQ出力とが供給されて

いる。またアンドゲート8に付、シフトレジスタ6の段「-2」～「-21」のQ出力と、段「-1」、「-22」のQ出力とが供給されている。両アンドゲート7、8の出力がアンドゲート9の入力とされこのゲート9の出力が検出出力Fとなつてゐる。こうすることにより、シンクパターン長が21Tになつた時の2つのゲート7、8の出力は論理“1”となり、ゲート9の出力Fに“1”が生ずることになる。

第3図(B)はシンクパターン長が21.5Tに圧縮された場合を検出する回路であり、アンドゲート10～12と13～15との2組からなつてゐる。アンドゲート10はシフトレジスタの段「1」～「21」のQ出力と、段「22」のQ出力を入力とし、ゲート11は段「-2」～「-21」のQ出力と、段「-1」、「-22」のQ出力を入力とし、両ゲート10、11の出力が2入力アンドゲート12の入力とされている。このゲート10～12の組により第2図(B)のシンクパターンの左側の最大反転間隔(11T)のみが10.5Tに圧縮された場合が検出可能

- 9 -

-421-

-10-

となる。

アンドゲート13はシフトレジスタの段「1」～「20」のQ出力と、段「21」のQ出力とを入力とし、ゲート14は段「-2」～「-22」のQ出力と、段「-1」、「-23」のQ出力とを入力とし、両ゲート13、14の出力が2入力アンドゲート15の入力とされている。このゲート13～15の組により第2回(B)のシンクパターンの右側の最大反転間隔のみが10.5Tに圧縮された場合が検出可能となる。

そこで、両アンドゲート12及び15の出力をオアゲート16の入力として、このゲート16の出力Gに論理“1”が現われた時にシンクパターン長が21.5Tとなつたことが検出されることになる。

第3回(C)はシンクパターン長が22Tの正規緩速度時を検出するものであり、ゲート17の入力にはシフトレジスタの段「1」～「21」の各Q出力がまた段「22」のQ出力が夫々印加されており、ゲート18の入力にはシフトレジスタの段「-2」～「-22」のQ出力がまた段「-1」、「-23」のQ出力が夫々印加されている。そして、両ゲート

-11-

の組により第2回(B)のシンクパターンの右側最大反転間隔のみが11.5Tに伸長した場合が検出可能となる。

そこで、両ゲート22、25の出力をオアゲート26の入力として、このゲート26の出力Iに論理“1”が現われた時にシンクパターン長が22.5Tとなつたことが検出されることになる。

第3回(E)はシンクパターン長が23Tに伸長した場合の検出回路を示し、アンドゲート27にはシフトレジスタの段「1」～「22」のQ出力と段「23」のQ出力とが印加され、アンドゲート28にはシフトレジスタの段「-2」～「-23」のQ出力と段「-1」、「-24」のQ出力とが印加され、両ゲート27、28の出力がアンドゲート29の入力となる。このゲート29の出力Jにより23Tのシンクパターン長の検出が可能となることが判る。この出力Jに論理“1”が現われた時に23Tとなっているのである。

第4回は第3回の各検出出力F～JをラッテしてD/A(デジタルアナログ)変換するための回路例である。各検出出力F～Jをセット入力とし

時間昭59-172180(4)

17、18の各出力がアンドゲート19の入力とされ、その出力Hが22T検出出力となり、論理“1”が現われた時22Tであることが判る。

第3回(D)はシンクパターン長が22.5Tに伸長された場合を検出する回路であり、アンドゲート20～22と23～25との2組からなる。ゲート20にはシフトレジスタの段「1」～「21」のQ出力と段「22」のQ出力とが印加され、ゲート21には「-2」～「-23」のQ出力と段「-1」、「-24」のQ出力とが印加され、両ゲート20、21の出力はアンドゲート22の入力となつてある。このゲート20～22の組により第2回(B)のシンクパターンの左側の最大反転間隔のみが11.5Tに伸長した場合が検出可能となる。

アンドゲート23にはシフトレジスタの段「1」～「22」のQ出力と段「23」のQ出力とが印加され、ゲート24にはシフトレジスタの段「-2」～「-22」のQ出力と段「-1」、「-23」のQ出力とが印加され、両ゲート23、24の出力はアンドゲート25の入力となつてある。このゲート23～25

-12-

でこれらを夫々ラッテするFF(フリップフロップ)30～34が設けられている。各検出出力D～Jを入力とするオアゲート35のゲート出力が選択器36、37を介して各FF30～34のリセット信号として用いられている。各FF30～34のラッテ出力と選択器37の出力を2入力とするアンドゲート38～42が設けられており、これらゲート38～42の各出力がFF43～47の各セット入力とされている。これら各FF43～47の各リセット信号としてオアゲート48～52の各出力が用いられており、これら各オアゲート48～52の入力にはFF43～47の各セット入力のうちそのオアゲートと関連するFF以外のセット入力が供給されるようになっている。

各FF43～47のラッテ出力によりスイッチ53～57のオンオフが制御されるが、スイッチ53のオン制御によりRの値の抵抗に電流が流れ、スイッチ54～57の各オン制御により2R、3R、4R、5Rの値の各抵抗に夫々電流が流れよう構成されている。この電流がLPP58を介して検出出力Kとなつてゐる。

-422-

-13-

例えば、正規速度の場合検出信号H1にのみ論理"1"が現われるから、FF32はセットされ他のFFは遮断器36,37により定まる一定時間後すべてリセットされる。遮断器36により定まる一定時間後(FF32~34のセット遅れを補償する時間後)、ゲート38~42が開となるがFF32の出力のみが"1"であるから、ゲート40の出力のみ"1"が現われるととなる。その結果、FF45がセットされ他のFFはすべてリセットされる。このFF45のセット出力によりスイッチ54がオンとなり、3Rの値の抵抗にこの3Rに比例した電流が流れ。よって、LPF58の出力Kにはこの電流値に比例したアナログ電圧が発生される。よって、点線で示す部分がD/A変換部となっている。

第5図はシンクパターン長すなわち線速度とアナログ出力Kとの関係を示す図であり、本例では、21T~23Tの間のシンクパターン長変動が検出自在となることが判る。

尚、シフトレジスタ6の段数を更に増大すれば、23T以上のシンクパターン長の伸長すなわちより遅

特開昭59-172180(5)

速度の検出が可能となる。また、シフトクロックパルスの周波数NfのNの値をより大とすれば、0.5T以上との間隔でより詳細な線速度変化が検出できる。

このように本発明によれば、ディジタル的に記録ディスクのトラック線速度を検出するものであることから、ロジック回路のみを用いて構成されるので集積回路化が容易でありかつ高信頼性を有することになる。

#### 4. 図面の簡単な説明

第1図は本発明の実施例の回路図、第2図は第1図の回路の動作タイミングチャート、第3図及び第4図は第1図の回路のシフトレジスタの内容を検出して線速度に比例したアナログ出力を得る回路例を示す図、第5図は本発明の回路の入出力特性図である。

#### 主要部分の符号の説明

2, 3…DFF

4…エクスクルーシブオアゲート

5…基準クロック信号発生器

-15-

-16-

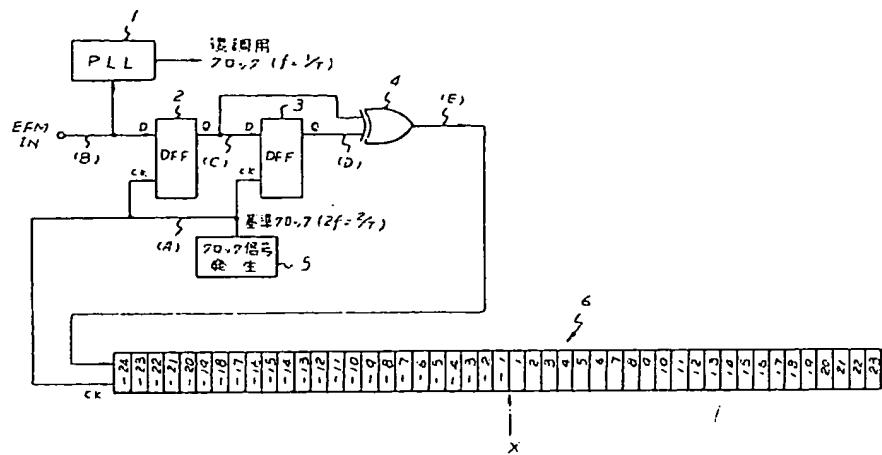
6…シフトレジスタ

出願人 バイオニア株式会社  
代理人 井理士 藤 村 元彦 (外1名)

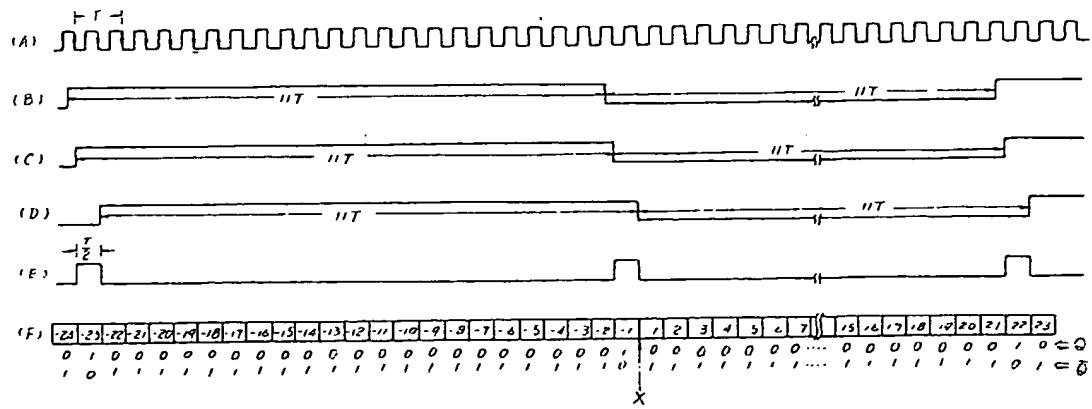
Best Available Copy

特開昭59-172180(6)

第1 



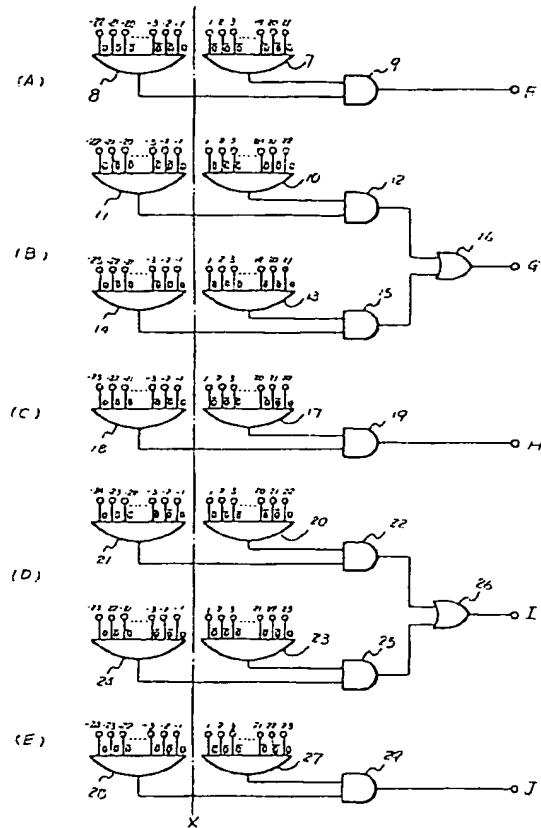
第 2 四



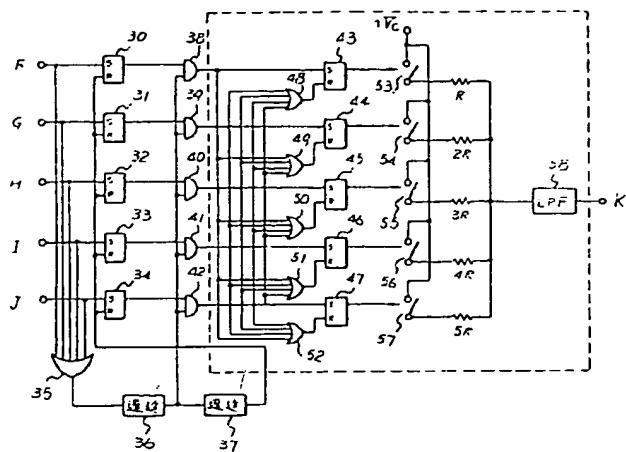
Find a suitable **Copy**

持閔啓59-172180(7)

第3回



第4圖



第5回

